

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-104439
(43)Date of publication of application : 15.04.1994

(51)Int.Cl. H01L 29/784
G02F 1/136
H01L 21/336

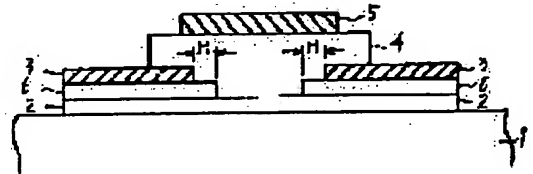
(21)Application number : 04-250264 (71)Applicant : FUJITSU LTD
(22)Date of filing : 18.09.1992 (72)Inventor : NAGAHIRO NORIO
MATSUMOTO TOMOTAKA
HODATE MARI

(54) FILM TRANSISTOR AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To secure favorable transistor property by widening a channel region below the contact layer made in the active layer of the amorphous silicon of a coplanar type TFT so as to enlarge the mutual contact interface.

CONSTITUTION: An island-shaped active layer consisting of amorphous silicon is made on the surface of a glass substrate 1. A contact layer 6 consisting of n-type amorphous silicon is made between the source and drain regions 3 mutually facing through a channel region and the active layer 2. The ends of the source and drain electrodes 3 on a channel region are retreating, and a contact layer 6 is exposed in the region H. As a result, the electric field by a gate electrode 5 reaches the active layer 2 below the region H, and the inverse layer on the surface of the active layer widens below the contact layer 6, so the contact interface between the channel region and the contact layer 6 widens, and good transistor property can be gotten.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision
of rejection]
[Kind of final disposal of application
other than the examiner's decision of

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Active layer which is formed in one front face of an insulating substrate, and consists of a semi-conductor, the source drain electrode formed on this active layer so that it might counter across the channel field demarcated by this active layer, The contact layer which consists of the semi-conductor of 1 conductivity type, and intervenes between this source drain electrode and this semi-conductor layer, Gate electrode countered and prepared in this channel field, Between this gate electrode and this active layer Are the coplanar type thin film transistor which consists of the intervening gate dielectric film, and it sets directly under [said] a gate electrode. The thin film transistor characterized by for said source drain electrode having retreated and said a part of contact layer having countered directly to this gate electrode through this gate dielectric film.

[Claim 2] Said contact layer is a thin film transistor according to claim 1 characterized by having larger specific resistance than $1 \times 10^{-4} \text{ohmcm}$.

[Claim 3] Said contact layer is 200nm. Thin film transistor according to claim 1 characterized by having small thickness.

[Claim 4] The process which carries out the sequential deposition of the active layer which changes from a semi-conductor to one front face of an insulating substrate, the contact layer which consists of the semi-conductor of one conductivity type, and the 1st electrode layer which consists of the conductive matter, the source field and drain field which were demarcated by this active layer -- a wrap mask -- this -- with the process formed on the 1st electrode layer it expresses from this mask -- this -- with the process which carries out sequential removal of the 1st electrode layer and this contact layer by etching, and expresses this active layer it remains under this mask after this etching -- this -- with the process which side etching is performed to the 1st electrode layer, and the edge is retreated, and expresses this a part of contact layer Wrap gate dielectric film and this gate dielectric film are minded for this active layer expressed between this source field and a drain field, and said some of expressed contact layers at least. The manufacture approach of the thin film transistor characterized by including the process which forms the gate electrode which counters this active layer and said some of expressed contact layers.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention, The so-called thin film transistor of a coplanar type (TFT) It is related.

[0002]

[Description of the Prior Art] TFT used for a liquid crystal display etc. Inside of a matrix, In the structure called a coplanar type There are two as shown in drawing 4 . Both, The semi-conductor active layer 2 is formed in one front face of the insulating substrate 1. Drawing 4 (a) With structure An impurity is introduced into an active layer 2 by thermal diffusion or the ion implantation, The contact layer with the source drain electrode 3 is formed. A sign 4 is gate dielectric film, A sign 5 is a gate electrode.

[0003] It sets to formation of the above contact layers, In order to activate an impurity after thermal diffusion or an ion implantation Heat treatment in an elevated temperature is performed., The result, An expensive heat-resistant substrate like a quartz plate as a substrate 1 is needed. moreover Ion implantation equipment is also expensive. Therefore, TFT It is not desirable for low-cost-izing of a matrix.

[0004]

[Problem(s) to be Solved by the Invention] On the other hand Drawing 4 (b) With structure Without it introduces an impurity into an active layer 2 Between an active layer 2 and the source drain electrodes 3, The contact layer 6 which consists of the semi-conductor which doped the impurity is made to intervene., It follows, It is not necessary to perform elevated-temperature heat treatment, Again, Expensive ion implantation equipment is not needed, either.

[0005] however Since the electric field of the gate electrode 5 are covered with the source drain electrode 3 the active layer 2 under the source drain electrode 3 -- a channel -- breadth -- being hard ., It follows, The contact interface of a channel field and the contact layer 6 does not become large enough. The result, Transistor characteristics deteriorate, It becomes the cause of falling the display quality of a liquid crystal display.

[0006] This invention, TFT of a coplanar type It aims at solving the above-mentioned conventional trouble that it can set.

[0007]

[Means for Solving the Problem] The above-mentioned purpose, the active layer which is formed in one front face of an insulating substrate, and consists of a semi-conductor, The source drain electrode formed on this active layer so that it might counter across the channel field demarcated by this active layer, The contact layer which consists of the semi-conductor of 1 conductivity type, and intervenes between this source drain electrode and this semi-conductor layer, Gate electrode countered and prepared in this channel field, Between this gate electrode and this active layer It is the coplanar type thin film transistor which consists of the intervening gate dielectric film, in directly under [said / gate electrode] Said source drain electrode retreats and said a part of contact layer minds this gate dielectric

film. The thin film transistor concerning this invention characterized by having countered directly to this gate electrode, or The sequential deposition of the active layer which changes from a semi-conductor to one front face of an insulating substrate, the contact layer which consists of the semi-conductor of one conductivity type, and the 1st electrode layer which consists of the conductive matter is carried out. the source field and drain field which were demarcated by this active layer -- a wrap mask -- this -- it forms on the 1st electrode layer -- it expresses from this mask -- this -- the 1st electrode layer and this contact layer by etching sequential removal is carried out and this active layer is expressed As opposed to the 1st electrode layer it remains under this mask after this etching -- this -- Side etching is performed, the edge is retreated and this a part of contact layer is expressed, Between this source field and a drain field Wrap gate dielectric film and this gate dielectric film are minded for this active layer to express and said some of expressed contact layers at least. It is attained by the manufacture approach of the thin film transistor concerning this invention characterized by including many processes which form the gate electrode which counters this active layer and said some of expressed contact layers.

[0008]

[Function] Drawing 1 is the principle explanatory view of this invention, and the active layer 2 of the shape of an island which consists of an amorphous silicon is formed in one front face of a substrate 1 like glass. On the active layer 2, the source drain electrode 3 which counters across a channel field is formed, The contact layer 6 which consists of the amorphous silicon of n mold between the source drain electrode 3 and an active layer 2 is formed. It sets to this invention, The edge of the source drain electrode 3 on a channel field is retreating. That is, the contact layer 6 has expressed in Field H. Consequently, the electric field by the gate electrode 5 reach the active layer 2 under Field H, and the inversion layer of active layer 2 front face spreads under the contact layer 6. For this reason, the contact interface of a channel field and the contact layer 6 becomes large, and good transistor characteristics can be acquired.

[0009]

[Example] Drawing 2 and drawing 3 are TFT concerning this invention. It is an explanatory view about the example of the manufacture approach. Drawing 2 (a) As [show] On for example, the transparence which consists of glass and one front face of the insulating substrate 1 Non, the sequential deposition of the amorphous silicon layer 20 (about 20nm in thickness) of a dope and the amorphous silicon layer 60 (nm [in thickness / about 50], specific resistance 100 Ωcm) which doped n mold impurity is carried out, Further, The chromium layer 30 (about 100nm in thickness) is deposited on the amorphous silicon layer 60. Deposition of these amorphous silicon layers 20 and 60 is well-known plasma chemistry vapor growth (P-CVD). What is necessary is just to carry out using law. What is necessary is just to perform deposition of the chromium layer 30 using the well-known sputtering method.

[0010] It ranks second Drawing 2 (b) As [show] After forming the resist mask 10 corresponding to said contact layer 6 (refer to drawing 1) on the chromium layer 30, the chromium layer 30 and the amorphous silicon layer 60 which are expressed from the resist mask 10 are etched into a sequential selection target. Into the mixed solution of cerium-nitrate ammonium and perchloric acid, etching of the chromium layer 30 is immersed and performs a substrate 1. Moreover, etching of the amorphous silicon layer 60 of n mold dope is performed in the solution of the fluoric acid, nitric acid, and acetic acid of a mixing ratio with which a big selection ratio is obtained to the amorphous silicon layer 20 of the non dope of a substrate by immersing a substrate 1.

[0011] Subsequently, a substrate 1 is again immersed into the mixed solution of cerium-nitrate ammonium and perchloric acid. Thereby, it is drawing 3 (c). As [show] Side etching of the chromium layer 30 is carried out, The edge retreats. This amount of side etching is 0.3-3. μm It is extent and controllable in boil the immersion time amount and solution temperature to the inside of an etching reagent. The above-mentioned etching, The contact layer 6 which consists of the source drain electrode 3 and the amorphous silicon layer 60 which consist of the chromium layer 30 is formed.

[0012] subsequently After removing the resist mask 10 Drawing 3 (d) as [show] -- Si_3N_4 from -- about 300nm in thickness which changes About 100nm in gate dielectric film 4 and thickness The sequential deposition of the aluminum (aluminum) film 50 is carried out., Si_3N_4 Deposition of gate dielectric film

4 and the aluminum film 50 is the plasma CVD of respectively common knowledge. What is necessary is just to carry out using law and the sputtering method.

[0013] subsequently Drawing 3 (e) as [show] -- patterning of the aluminum film 50 and the gate dielectric film 4 is carried out to the gate electrode 5 and gate dielectric film 4 according to a predetermined RISOGURAFU process. Further, The amorphous silicon layer 20 is etched, The separated active layer 2 is formed. this etching, let the resist pattern and the source drain electrode 3 of gate dielectric film 4 be a mask -- CF4 What is necessary is for plasma etching which makes the mixed gas of O2 etchant just to perform.

[0014] It is performed above, The thin film transistor of this invention is completed. In addition Drawing 2 (a) It sets, Instead of [of the amorphous silicon layer 20 and the amorphous silicon layer 60], A polycrystalline silicon layer may be deposited. moreover Drawing 2 (b) It sets at the process referred to and explained. etching of the amorphous silicon layer 60 -- reactive ion etching (RIE) Although you may carry out non -- since a large selection ratio with the amorphous silicon layer 20 of a dope cannot be taken In this case the thickness of the amorphous silicon layer 20 -- 50-100nm It is necessary to enlarge beforehand. Further Drawing 3 (c) Instead of retreating the edge of the chromium layer 30 by side etching in a process, The amorphous silicon layer 60 and the chromium layer 30 are alternatively etched with a separate mask, It cannot be overemphasized that the approach of making the edge of the contact layer 6 expressing may be taken.

[0015]

[Effect of the Invention] According to this invention TFT of a coplanar type A source drain electrode retreats from on the edge of the contact layer which can be set, A contact layer serves as structure which countered the gate electrode through gate dielectric film. It follows, The electric field of a gate electrode come to be impressed to this edge subordinate's active layer, The contact interface of a channel field and a contact layer spreads. The result, It is not based on the manufacture approach which introduces a source drain impurity by the ion implantation using the thermal diffusion and the expensive equipment which need a quartz substrate, but is also **, Good transistor characteristics can be acquired. moreover This invention can be carried out without increasing a mask process. It follows, It is TFT of high quality by low cost. There is effectiveness whose offer is enabled.

[Translation done.]

* NOTICES *

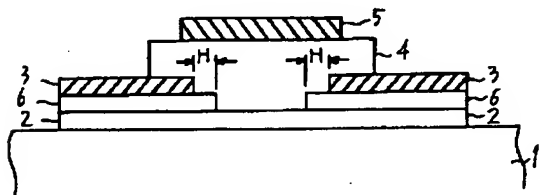
JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

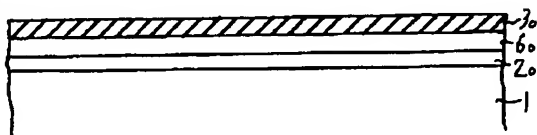
本発明の原理的構造説明図



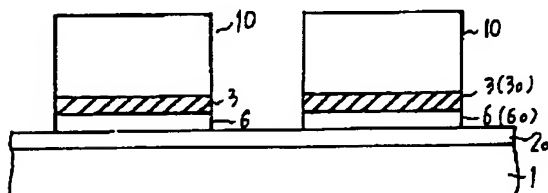
[Drawing 2]

本発明の実施例の工程説明図(1の1)

(a)



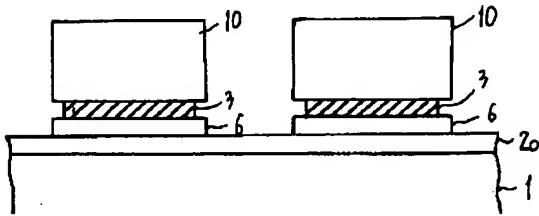
(b)



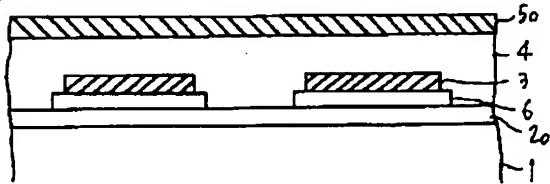
[Drawing 3]

本発明の実施例の工程説明図(その2)

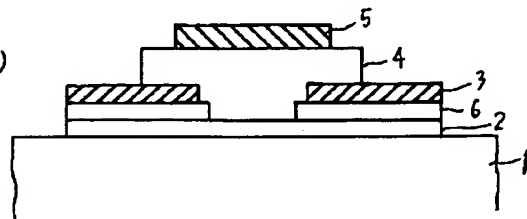
(c)



(d)



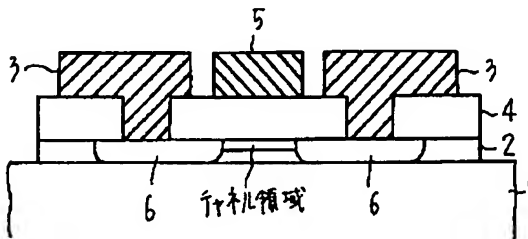
(e)



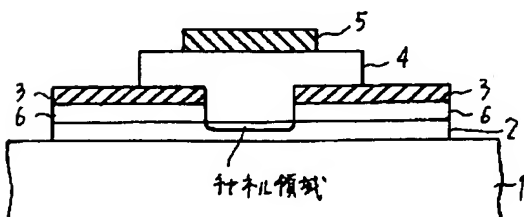
[Drawing 4]

従来の問題点説明図

(a)



(b)



[Translation done.]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平8-104438

(43)公開日 平成6年(1994)4月18日

(51)Int. Cl.	発明番号	発明型番	FI	技術表示箇所
H01L 29/784	500	9015-2K		
G08F 1/138		9056-4M	H01L 29/78	311 S
H01L 21/834		9056-4M		311 P

審査請求 未請求 請求項の数 4(全 4 頁)

(21)出願番号 特願平4-250284

(22)出願日 平成4年(1992)9月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 長瀬 邦雄

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(73)発明者 松本 友幸

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)発明者 南立 真雄

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁護士 井船 貞一

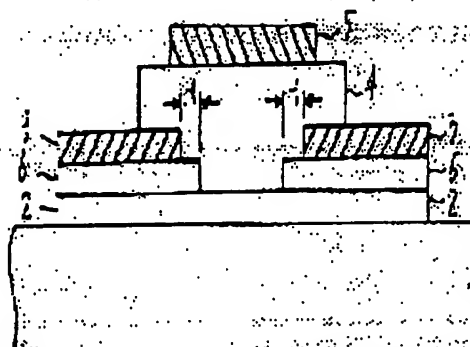
(54)【発明の名称】 薄膜トランジスタおよびその製造方法

(57)【要約】

【目的】 コプレーナ型のFTT に対し、アモルファスシリコンから成る絶縁層上に形成されるコンタクト層の下にチャネル傾斜を上げ、相互の接触面を大きくすることにより、良好なトランジスタ特性を確保可能とすることを目的とする。

【構成】 絶縁層上に形成されたコンタクト層上に積層されるソースドレイン電極の端部を傾斜させ、コンタクト層の一部がゲート絶縁膜を介してゲート電極に対向する傾斜にする。ゲート電極の電界がコンタクト層下の絶縁層に印加されるようになるため、反転層がコンタクト層直下の下まで広がる。

本発明の原理的構造説明図



【特許請求の範囲】

【請求項1】 絶縁性基板の一表面に形成され且つ半導体から成る能動層と、該能動層に画定されたチャネル領域を挟んで対向するように該能動層上に形成されたソース・ドレイン電極と、一価電型の半導体から成り且つ該ソース・ドレイン電極と該半導体層との間に介在するコンタクト層と、該チャネル領域に対向して設けられたゲート電極と、該ゲート電極と該能動層との間に介在するゲート絶縁膜とから成るコプレーナ型薄膜トランジスタであって、前記ゲート電極直下において前記ソース・ドレイン電極が後退して前記コンタクト層の一部が該ゲート絶縁膜を介して該ゲート電極に対して直接に対向していることを特徴とする薄膜トランジスタ。

【請求項2】 前記コンタクト層は $1 \times 10^{-4} \Omega \cdot \text{cm}$ より大きい比抵抗を有することを特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】 前記コンタクト層は 200nm より小さい厚さを有することを特徴とする請求項1記載の薄膜トランジスタ。

【請求項4】 絶縁性基板の一表面に半導体から成る能動層と一価電型の半導体から成るコンタクト層と導電性物質から成る第1の電極層を順次堆積する工程と、該能動層に画定されたソース領域およびドレイン領域を覆うマスクを該第1の電極層上に形成する工程と、該マスクから露出する該第1の電極層と該コンタクト層とをエッチングにより順次除去して該能動層を露出する工程と、該エッチングののちに該マスクの下に残存する該第1の電極層に対してサイドエッチングを施してその端部を後退させて該コンタクト層の一部を露出する工程と、該ソース領域とドレイン領域との間に露出する該能動層と前記露出した一部のコンタクト層とを少なくとも覆うゲート絶縁膜と該ゲート絶縁膜を介して該能動層と前記露出した一部のコンタクト層に対向するゲート電極を形成する工程とを含むことを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0000】

【産業上の利用分野】 本発明は、いわゆるコプレーナ型の薄膜トランジスタ(TFT)に関する。

【0001】

【従来の技術】 液晶ディスプレイ等に使用されるTFTマトリックスのうち、コプレーナ型と称される構造には、図4に示すような二つがある。両者ともに、絶縁性基板1の一表面に半導体能動層2が形成されている。図4

(a)の構造では、熱拡散またはイオン注入によって能動層2に不純物を導入することにより、ソース・ドレイン電極3とのコンタクト層を形成している。何号4はゲート絶縁膜、何号5はゲート電極である。

【0002】 上記のようなコンタクト層の形成においては、不純物を熱拡散やイオン注入後の活性化させるため

に、高温での熱処理が行われる。その結果、基板1としては石英板のような高価な耐熱性基板が必要とされる。また、イオン注入装置も高価である。したがって、TFTマトリックスの低コスト化にとって好ましくない。

【0003】

【課題を解決しようとする課題】 一方、図4(b)の構造では、能動層2に不純物を導入することなく、能動層2とソース・ドレイン電極3との間に、不純物をドーブした半導体から成るコンタクト層6を介在させる。したがって、高温熱処理を行う必要がなく、また、高価なイオン注入装置も必要としない。

【0004】 しかし、ゲート電極5の電界がソース・ドレイン電極3によって遮蔽されるために、ソース・ドレイン電極3の下に能動層2にチャネルが広がり難い。したがって、チャネル領域とコンタクト層6との接触界面が十分に大きくならない。その結果、トランジスタ特性が劣化し、液晶ディスプレイの表示品質を低下する原因となる。

【0005】 本発明は、コプレーナ型のTFTにおける上記従来の問題を解決することを目的とする。

【0006】

【課題を解決するための手段】 上記目的は、絶縁性基板の一表面に形成され且つ半導体から成る能動層と、該能動層に画定されたチャネル領域を挟んで対向するように該能動層上に形成されたソース・ドレイン電極と、一価電型の半導体から成り且つ該ソース・ドレイン電極と該半導体層との間に介在するコンタクト層と、該チャネル領域に対向して設けられたゲート電極と、該ゲート電極と該能動層との間に介在するゲート絶縁膜とから成るコプレーナ型薄膜トランジスタであって、前記ゲート電極直下において前記ソース・ドレイン電極が後退して前記コンタクト層の一部が該ゲート絶縁膜を介して該ゲート電極に対して直接に対向していることを特徴とする本発明に係る薄膜トランジスタ。または、絶縁性基板の一表面に半導体から成る能動層と一価電型の半導体から成るコンタクト層と導電性物質から成る第1の電極層を順次堆積し、該能動層に画定されたソース領域およびドレイン領域を覆うマスクを該第1の電極層上に形成し、該マスクから露出する該第1の電極層と該コンタクト層とをエッチングにより順次除去して該能動層を露出し、該エッチングののちに該マスクの下に残存する該第1の電極層に対してサイドエッチングを施してその端部を後退させて該コンタクト層の一部を露出し、該ソース領域とドレイン領域との間に露出する該能動層と前記露出した一部のコンタクト層とを少なくとも覆うゲート絶縁膜と該ゲート絶縁膜を介して該能動層と前記露出した一部のコンタクト層に対向するゲート電極を形成する諸工程を含むことを特徴とする本発明に係る薄膜トランジスタの製造方法によって達成される。

【0007】

【0008】

【作用】図1は本発明の原理説明図であって、ガラスのような基板1の一表面にはアモルファスシリコンから成る島状の絶縁層2が形成されている。絶縁層2上には、チャネル領域を挟んで対向するソース・ドレイン電極3が形成されており、ソース・ドレイン電極3と絶縁層2との間には、n型のアモルファスシリコンから成るコンタクト層5が形成されている。本発明においては、チャネル領域上のソース・ドレイン電極3の端部が後述している。すなわち、領域Hにはコンタクト層5が露出している。その結果、ゲート電極5による電界が領域Hの下に伝達し、絶縁層2表面の反転層がコンタクト層5下に広がる。このために、チャネル領域とコンタクト層5との接触界面がなくなり、良好なトランジスタ特性を得ることができる。

【0009】

【実施例】図2および図3は本発明に係るTFT製造方法の要略例を説明図である。図2(a)に示すように、例えばガラスから成る透明かつ絶縁性の基板1の一表面に、ノンドープのアモルファスシリコン層20（厚さ約20nm）と、n型不純物をドーパしたアモルファスシリコン層60（厚さ約50nm、比抵抗100 Ωcm ）とを順次堆積し、さらに、アモルファスシリコン層60上にクロム層30（厚さ約100nm）を堆積する。これらのアモルファスシリコン層20および60の堆積は周知のプラズマ化学気相成長（PCVD）法を用いて行えばよく、クロム層30の堆積は周知のスパッタリング法を用いて行えばよい。

【0010】次いで、図2(b)に示すように、前記コンタクト層5（図1参照）に対応するレジストマスク10をクロム層30上に形成したのち、レジストマスク10から露出するクロム層30とアモルファスシリコン層60とを順次選択的にエッチングする。クロム層30のエッチングは、硝酸セリウムアンモニウムと過塩素酸の混合溶液中に基板1を浸漬して行う。また、n型ドーパのアモルファスシリコン層60のエッチングは、下地のノンドープのアモルファスシリコン層20に対して大きな選択比が得られる過酸化水素と硝酸と酢酸の溶液に基板1を浸漬して行う。

【0011】次いで、再び硝酸セリウムアンモニウムと過塩素酸の混合溶液中に基板1を浸漬する。これにより、図3(a)に示すように、クロム層30がサイドエッチングされ、その端部が後退する。このサイドエッチング量は0.3〜3 μm 程度であり、エッチング液中への浸漬時間および液速率によって制御可能である。上記のエッチングにより、クロム層30から成るソース・ドレイン電極3およびアモルファスシリコン層60から成るコンタクト層5が形成される。

【0012】次いで、レジストマスク10を除去したのち、図3(b)に示すように、 Si_3N_4 から成る厚さ約500nmのゲート絶縁膜4と厚さ約100nmのアルミニウム（Al）膜50を順次堆積する。 Si_3N_4 ゲート絶縁膜4およびAl膜

50の堆積はそれぞれ周知のプラズマCVD法およびスパッタリング法を用いて行えばよい。

【0013】次いで、図3(c)に示すように、Al膜50とゲート絶縁膜4とを所定のリソグラフ工程によってゲート電極5およびゲート絶縁膜4にパターンニングする。さらに、アモルファスシリコン層20をエッチングして、分離された絶縁層2を形成する。このエッチングは、ゲート絶縁膜4のレジストパターンおよびソース・ドレイン電極3をマスクとし、 CF_4 と O_2 との混合ガスをエッチャントとするプラズマエッチングにより行えばよい。

【0014】上記のようにして、本発明の薄膜トランジスタが完成する。なお、図2(a)において、アモルファスシリコン層20およびアモルファスシリコン層60の代わりに、多結晶シリコン層を増設してもよい。また、図2(b)を参照して説明した工程において、アモルファスシリコン層60のエッチングをリアクティブイオンエッチング(RIE)により行ってもよいが、ノンドープのアモルファスシリコン層20との選択比が大きくとれないので、この場合には、アモルファスシリコン層20の厚さを30〜100nmとあらかじめ大きくしておく必要がある。さらに、図3(c)の工程においてクロム層30の端部をサイドエッチングによって後退させる代わりに、アモルファスシリコン層60とクロム層30とを別々のマスクによって選択的にエッチングすることによって、コンタクト層5の端部を露出させる方法を行ってもよいことはいうまでもない。

【0015】

【発明の効果】本発明によれば、コプレーナ型のTFTにおけるコンタクト層の端部の上からソース・ドレイン電極が後退し、コンタクト層がゲート絶縁膜を介してゲート電極に対向した構造となる。したがって、この端部下の絶縁層にゲート電極の電界が印加されるようになり、チャネル領域とコンタクト層との接触界面がひろがる。その結果、石英基板を必要とする熱収縮や高価な装置を用いるイオン注入によりソース・ドレイン不純物を導入する製造方法によらずとも、良好なトランジスタ特性を得ることができる。また、本発明はマスク工程を増加することなく製造できる。したがって、低コストで高品質のTFTを提供可能とする効果がある。

【図面の簡単な説明】

- 【図1】 本発明の原理的構造説明図
- 【図2】 本発明の実施例の工程説明図（その1）
- 【図3】 本発明の実施例の工程説明図（その2）
- 【図4】 従来の問題点説明図

【符号の説明】

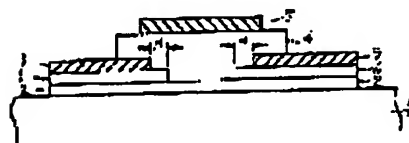
- 1 基板
- 2 絶縁層
- 20、60 アモルファスシリコン層
- 3 ソース・ドレイン電極
- 30 クロム層

4 ゲート絶縁膜
5 ゲート電極
50 Al膜

6 コンタクト層
10 レジストマスク

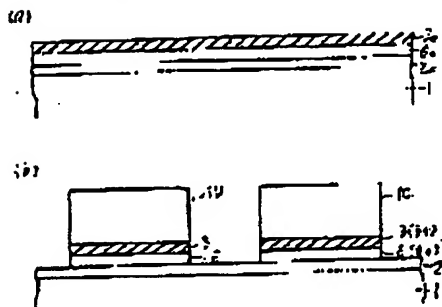
【図1】

本発明の第1の実施形態の平面図



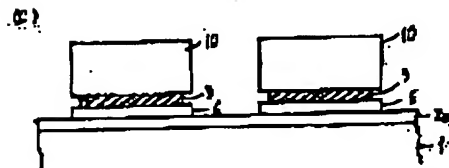
【図2】

本発明の第1の実施形態の第1の断面図(1のI-I)



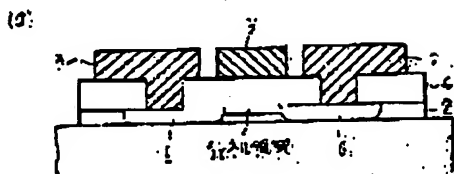
【図3】

本発明の第2の実施形態の工程説明図(1の2)



【図4】

従来の装置の説明図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.